

(43) Date of publication of application: 23 . 04 . 93

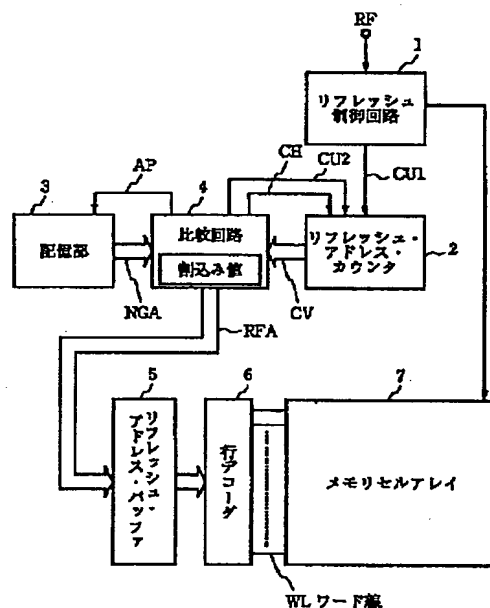
**G11C 11/406**

(72) Inventor: TOKUDA KIMIHITO

(57) Abstract:

**CONSTITUTION:** A storage part to store the address value of an inferior cell is provided. A comparator circuit 4 is provided, in which a memory area to store an interruption value for the purpose of setting the refresh period of the inferior cell is provided, normally a count value CV from a refresh address counter 2 is outputted as a refresh address RFA, and, when the count value CV is coincided with the interruption value, the address value NGA of the storage part 3 is outputted as the refresh address RFA.

COPYRIGHT: (C)1993,JPO&Japio



(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平5-101651

(43)公開日 平成5年(1993)4月23日

(51)Int.Cl.<sup>5</sup>

G11C 11/406

識別記号

F I

8320-5L

G11C 11/34

363

N

審査請求 未請求 請求項の数 2 (全6頁)

(21)出願番号

特願平3-260216

(22)出願日

平成3年(1991)10月8日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 ▲徳▼田 君仁

東京都港区芝五丁目7番1号日本電気株式会社内

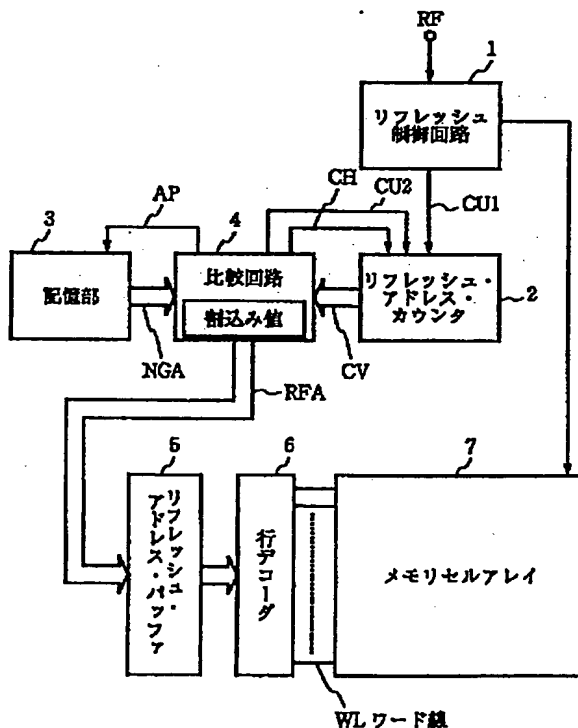
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 ダイナミック型半導体記憶装置

(57)【要約】

【目的】 劣性セルによるデータの保持不良を救済して歩留りを向上させる。

【構成】 劣性セルのアドレス値を記憶する記憶部を設ける。劣性セルのリフレッシュ間隔を設定するための割込み値を格納するメモリ領域を備え、通常はリフレッシュ・アドレス・カウンタ2からのカウント値CVをリフレッシュアドレスRFAとして出力し、カウント値CVが割込み値と一致したときは記憶部3のアドレス値NGAをリフレッシュアドレスRFAとして出力する比較回路4を設ける。



## 【特許請求の範囲】

【請求項 1】 複数のメモリセルとこれらメモリセルを所定の単位で選択状態とする複数のワード線とを備え選択状態の前記メモリセルに対しデータの読出し、書込みを行うメモリセルアレイと、リフレッシュ信号により起動され所定の間隔でカウントアップ信号を出力すると共に前記メモリセルアレイの選択状態のメモリセルに対しデータの読出し、再書込みを実行させるリフレッシュ制御回路と、前記カウントアップ信号に従って順次カウントアップするカウント値を出力するカウンタと、劣性セルのアドレス値を記憶する記憶部と、通常は前記カウント値をリフレッシュ・アドレスとし予め設定されたタイミングで前記記憶部のアドレス値を前記リフレッシュ・アドレスとして出力する比較回路と、この比較回路からのリフレッシュ・アドレスに従って前記メモリセルアレイの各ワード線を順次選択レベルとするワード線選択回路とを有することを特徴とするダイナミック型半導体記憶装置。

【請求項 2】 劣性セルのリフレッシュ間隔を設定するための割込み値を格納するメモリ領域を設け、比較回路を、カウント値が前記割込み値と一致したときは記憶部のアドレス値をリフレッシュ・アドレスとして出力し、一致しないときは、前記カウント値が前記記憶部のアドレス値と一致していればカウンタにカウントアップ信号を出力し、一致していなければ前記カウント値を前記リフレッシュ・アドレスとして出力する回路とした請求項 1 記載のダイナミック型半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はダイナミック型半導体記憶装置に関し、特にメモリセルの記憶データをリフレッシュする機能を備えたダイナミック型半導体記憶装置に関する。

## 【0002】

【従来の技術】 ダイナミック型半導体記憶装置は、メモリセルの記憶データを保持するためにリフレッシュを行わなければならない。また、このリフレッシュは、1つのメモリセルに対して決められた間隔（この間隔をリフレッシュ・インターバルと呼ぶ）に一度行わなければならない。逆にメモリセルは、リフレッシュ・インターバルの間はリフレッシュなしで記憶データを保持しなければならない。

【0003】 このリフレッシュ・インターバルは、メモリ容量が増加してメモリセル蓄積容量が減少するのに反比例して長くなっている。したがって、従来のダイナミック型半導体記憶装置では、メモリ容量の増加にともなってメモリセルの記憶データをリフレッシュ・インターバルの間保持できない保持不良が増えている。

【0004】 ところで、ダイナミック型半導体記憶装置の保持不良は、多数のメモリセルがリフレッシュ・イン

ターバルの間記憶データを保持できなくなるわけではなく、ほとんどの場合 1 ビットか 2 ビット、多くても数ビットのメモリセル（劣性セルと呼ぶ）がその記憶データを保持できなくなって起こる。さらに、リフレッシュ・インターバルの拡張を疎外するのもこの劣性セルである。

【0005】 これらの劣性セルは、記憶データの保持特性がほかのセルよりも若干劣っているが、リフレッシュ・インターバルを短くしてやれば充分にその記憶データを保持することができる。

【0006】 しかし、従来のダイナミック型半導体記憶装置は、リフレッシュ・アドレス・カウンタがリフレッシュ制御回路からの信号によりリフレッシュ・アドレスを順次インクリメントしながら出力するため、どのメモリセルに対しても同じリフレッシュ・インターバルでリフレッシュを行うことしかできない構造となっていた。

## 【0007】

【発明が解決しようとする課題】 この従来のダイナミック型半導体記憶装置は、どのメモリセルに対しても同じリフレッシュ・インターバルでリフレッシュを行う構造となっていたため、少数ビットの劣性セルによる保持不良を救済したり、リフレッシュ・インターバルの拡張をしたりすることができないという問題点があった。

【0008】 本発明の目的は、劣性セルによる保持不良を救済して歩留りの向上をはかることができ、またリフレッシュ・インターバルの拡張が容易となるダイナミック型半導体記憶装置を提供することにある。

## 【0009】

【課題を解決するための手段】 本発明のダイナミック型半導体記憶装置は、複数のメモリセルとこれらメモリセルを所定の単位で選択状態とする複数のワード線とを備え選択状態の前記メモリセルに対しデータの読出し、書込みを行うメモリセルアレイと、リフレッシュ信号により起動され所定の間隔でカウントアップ信号を出力すると共に前記メモリセルアレイの選択状態のメモリセルに対しデータの読出し、再書込みを実行させるリフレッシュ制御回路と、前記カウントアップ信号に従って順次カウントアップするカウント値を出力するカウンタと、劣性セルのアドレス値を記憶する記憶部と、通常は前記カウント値をリフレッシュ・アドレスとし予め設定されたタイミングで前記記憶部のアドレス値を前記リフレッシュ・アドレスとして出力する比較回路と、この比較回路からのリフレッシュ・アドレスに従って前記メモリセルアレイの各ワード線を順次選択レベルとするワード線選択回路とを有している。

【0010】 また、劣性セルのリフレッシュ間隔を設定するための割込み値を格納するメモリ領域を設け、比較回路を、カウント値が前記割込み値と一致したときは記憶部のアドレス値をリフレッシュ・アドレスとして出力し、一致しないときは、前記カウント値が前記記憶部の

アドレス値と一致していればカウンタにカウントアップ信号を出力し、一致していなければ前記カウント値を前記リフレッシュ・アドレスとして出力する回路として構成される。

【0011】

【実施例】次に本発明の実施例について図面を参照して説明する。

【0012】図1は本発明の一実施例を示すブロック図である。

【0013】この実施例は、複数のメモリセルとこれらメモリセルを所定の単位で選択状態とする複数のワード線WLとを備え選択状態のメモリセルに対しデータの読出し、書込みを行うメモリセルアレイ7と、リフレッシュ信号RFにより起動され所定の間隔でカウントアップ信号CU1を出力すると共にメモリセルアレイ1の選択状態のメモリセルに対しデータの読出し、再書込みを実行させるリフレッシュ制御回路1と、カウントアップ信号CU1、CU2に従って順次カウントアップするカウント値CVを出力しカウンタ保持信号CHが入力されるとカウント値CVを同一の値に保持するリフレッシュ・アドレス・カウンタ2と、複数のアドレス値を格納するメモリ領域を備えこのメモリ領域に劣性セルのアドレス値を記憶しておきアドレス・ポインタAPに従って記憶しているアドレス値NGAを順次出力するEEPROMによる記憶部3と、劣性セルのリフレッシュ間隔を設定するための割込み値を格納するメモリ領域を備え、カウント値CVがこの割込み値と一致したときは記憶部3のアドレス値NGAをリフレッシュ・アドレスRFAとして出力し、一致しないときは、カウント値CVが記憶部3のアドレス値NGAと一致していればリフレッシュ・アドレス・カウンタ2にカウントアップ信号CU2を出力し、一致していなければカウント値CVをリフレッシュ・アドレスRFAとして出力し、記憶部3に複数のアドレス値が格納されているときはカウンタ保持信号CHを出力すると共にアドレス・ポインタAPを1つ進める比較回路4と、この比較回路4からのリフレッシュ・アドレスRFAに従ってメモリセルアレイ7の各ワード線WLを順次選択レベルとするワード線選択回路のリフレッシュ・アドレス・バッファ5及び行デコーダ6とを有する構成となっている。

【0014】次にこの実施例の動作について説明する。図2はこの実施例の動作を説明するための1リフレッシュのフローチャートである。

【0015】リフレッシュ制御回路1は、入力されるリフレッシュ信号RFにより起動され、リフレッシュ・アドレス・バッファ5に保持されているリフレッシュ・アドレスRFAのメモリセルをリフレッシュする。また、リフレッシュ・アドレス・カウンタ2へカウントアップ信号CU1を出力する。

【0016】リフレッシュ・アドレス・カウンタ2は、

リフレッシュ制御回路1および比較回路4から出力されるカウントアップ信号CU1、CU2により起動され、カウンタ保持信号CHを受けていないときのみカウント値CVをインクリメントして比較回路4へ出力する。このリフレッシュ・アドレス・カウンタ2は、電源投入時“0”から始まり、リフレッシュ・アドレスの最大値までインクリメントし、その後はまた“0”にもどるリング・カウンタである。

【0017】比較回路4は、リフレッシュ・アドレス・カウンタ2からカウント値CVが出力されると割込み値と比較し、一致したときは記憶部3のアドレス値をリフレッシュ・アドレスRFAとしてリフレッシュ・アドレス・バッファ5へ出力する。さらに記憶部3に複数のアドレス値が格納されている場合には、リフレッシュ・アドレス・カウンタ2へカウンタ保持信号CHを出力するとともに、記憶部3のアドレス・ポインタAPを1つ進める。カウンタ保持信号CHを受けたリフレッシュ・アドレス・カウンタ2は、リフレッシュ制御回路1から次のカウントアップ信号CU1をうけてもカウント値をカウントアップせず前と同じ値を比較回路4に出力する。これにより、次のリフレッシュのときも、カウント値CVと割込み値とが一致し、記憶部3の次のアドレス値NGAがリフレッシュ・アドレスRFAとして出力される。

【0018】記憶部3のすべてのアドレス値NGAを出力し終ったら、次にカウント値CVをリフレッシュ・アドレスRFAとしてリフレッシュ・アドレス・バッファ5に出力し、アドレス・ポインタAPを“0”に戻し、カウンタ保持信号CHをリセットする。

【0019】一方、カウント値CVと割込み値とが一致しなかった場合には、今度はカウント値CVと記憶部3のアドレス値NGAとを比較する。ここで一致した場合にはリフレッシュ・アドレス・カウンタ2へカウントアップ信号CU2を出力する。これにより、劣性セルのリフレッシュを1回のリフレッシュ・インターバルの間に必要以上に実行することを防ぐ。一致しなかった場合には、カウント値CVをリフレッシュ・アドレスRFAとしてリフレッシュ・アドレス・バッファ5へ出力する。ただし、記憶部3に複数のアドレス値が格納されているときは、次のアドレス値と比較し前述の動作を繰り返す。

【0020】ここで割込み値とは、劣性セルへのリフレッシュを行う間隔を決定するためのアドレス値である。例えば、劣性セルにほかの正常のメモリセルの2倍のリフレッシュを行うようにするには、この値はリフレッシュ・アドレスの最大値の半分の値と“0”を設定する。こうすることにより同一の間隔でしかも正常のメモリセルの1/2の間隔でリフレッシュできる。割込み値の設定は劣性セルの特性とリフレッシュ回数（リフレッシュ電流）の増加を考慮して設定すればよい。また、記憶部3

への劣性セルのアドレス値の書込みは、チップの出荷検査時にメモリテストにより容易に書込むことができる。記憶部3のメモリ容量はチップ設計時に蓄積容量とチップ面積などを考慮して決める。

【0021】以上の動作により、劣性セルのリフレッシュはそのほかの正常なメモリセルより多く実行され、劣性セルのリフレッシュ・インターバルを満足することができる。

【0022】ところで、劣性セルのリフレッシュを余分に実行することにより、そのほかのメモリセルのリフレッシュ・インターバルが長くなるが、数ビット分のリフレッシュ時間程度リフレッシュ・インターバルが延びても特にデータの保持に問題がなく、歩留りが悪くなるなどの影響は全くない。

【0023】

【発明の効果】以上説明したように本発明は、劣性セルのリフレッシュ回数を他の正常なメモリセルより増やしリフレッシュ・インターバルを短くする構成とすること

により、劣性セルによるデータの保持不良を救済して歩留りをあげることができ、またリフレッシュ・インターバルの拡張を容易にすることができる効果を有する。

【図面の簡単な説明】

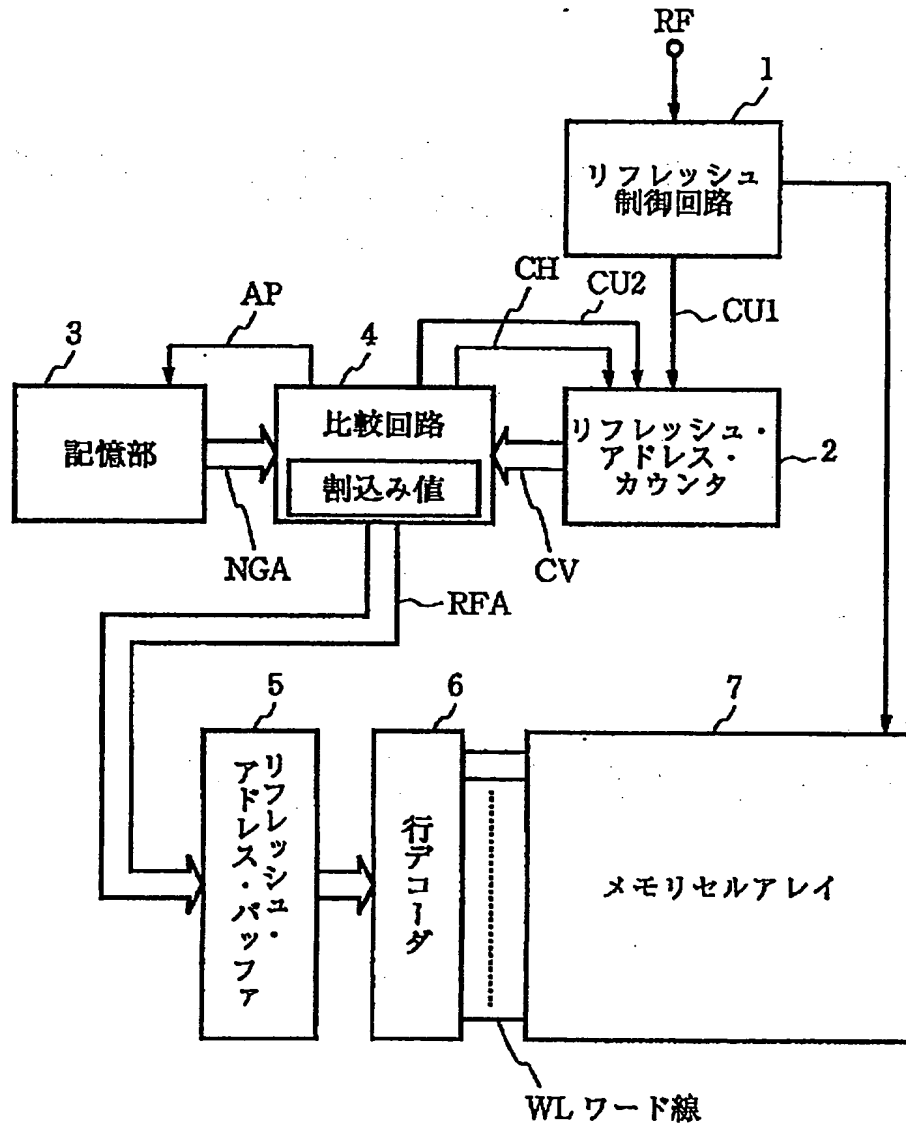
【図1】本発明の一実施例を示すブロック図である。

【図2】図1に示された実施例の動作を説明するためのフローチャートである。

【符号の説明】

- 1    リフレッシュ制御部
- 2    リフレッシュ・アドレス・カウンタ
- 3    記憶部
- 4    比較回路
- 5    リフレッシュ・アドレス・バッファ
- 6    行デコーダ
- 7    メモリセルアレイ
- WL    ワード線
- S1～S8    ステップ

【図1】



【図2】

